

УДК 621.385.832.564.4

ЛОГІЧНІ СХЕМИ НА ОДНОЕЛЕКТРОННИХ ТРАНЗИСТОРАХ

А.І. ПЕТРЕНКО, П.В. СВІРІН

Розглянуто модель одноелектронного транзистора та можливість моделювання логічних схем, заснованих на стандартних КМОП-схемах, із застосуванням одноелектронних транзисторів.

ВСТУП

У роботі [1] показано, що в тунельних переходах малої площі між металами (або виродженими напівпровідниками) при низьких температурах спостерігається новий ефект — дискретне тунелювання одиночних носіїв струму крізь тунельні бар'єри. Суть цього ефекту в тім, що в переходах з малою власною ємністю C тунелювання одиночного електрону помітно змінює напругу на переході V .

$$\Delta V = e/C, \quad (1)$$

де e — заряд електрону.

Якщо ця зміна перевищує характерний розмах маскуючих термічних флуктуацій напруги

$$\Delta V > k_b T / e, \quad (2)$$

де k_b — стала Больцмана; T — абсолютна температура, то така електростатична «кулонівська» взаємодія може встановити істотну кореляцію тунелювання окремих електронів аж до чіткого упорядкування дискретизації тунельних актів.

У цих умовах здається доцільним проаналізувати можливості застосування ефекту дискретного одноелектронного тунелювання в мікроелектроніці. Проведення такого попереднього аналізу і є метою даної роботи: комбінуючи тунельні переходи малої площі з резисторами та ємностями, можна створити пристрої, у яких аналогова або цифрова інформація зберігається і/або обробляється у виді окремих електронів. Такі пристрої можуть мати винятково високі значення корисних характеристик.

Одноелектронні транзистори (ОЕТ) часто розглядаються як елементи електронних схем із нанометровими вимірами, що є дуже малими і можуть реагувати на переміщення окремих електронів. Однак ОЕТ мають низький коефіцієнт підвищення вихідної напруги, високі вихідні імпеданси та дуже

чутливі до фонових зарядів. Через це навряд чи ОЕТ колись замінять транзистори з польовим ефектом у схемах, де необхідний великий коефіцієнт підвищення напруги або низький вихідний імпеданс. Найбільш вірогідним є використання ОЕТ у чутливих до зарядів схемах (зчитування з малоелектронної пам'яті, із зарядно пов'язаних пристроїв), у точних вимірюваннях зарядів у метрології.

МОДЕЛЬ ОДНОЕЛЕКТРОННОГО ТРАНЗИСТОРА

ОЕТ складається з малого провідного острівця, що приєднаний до стоку та витоків через тунельні переходи і ємнісно зв'язаний з одним або більше затворів. Топологію ОЕТ показано на рис. 1, еквівалентну схему — на рис. 2. У модель [2] також включено паразитну ємність C_0 та фоновий заряд острівця Q_0 в одиницях електронів. Еквівалентна схема має два затвори, оскільки саме така кількість найчастіше потрібна на практиці. Наприклад, один затвор використовується для налаштування фонового заряду, в той час як інший — як вхід для ОЕТ.

Білі джерела напруги (рис. 2), що відображають напругу зміщення та напругу на затворах, є зовнішніми для ОЕТ, сірі — внутрішніми для моделі. Джерело напруги E_1 визначає напругу на острівці (вузол 5), I_1 — джерело струму, що визначає струм між витком та стоком (між вузлами 1 та 2).

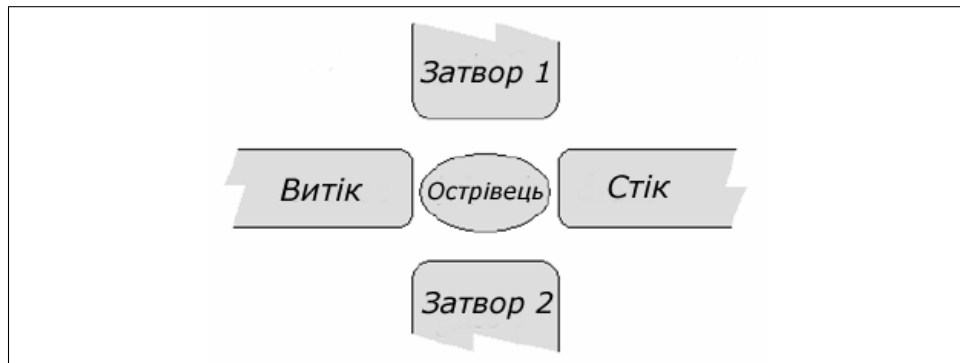


Рис. 1. Топологія ОЕТ

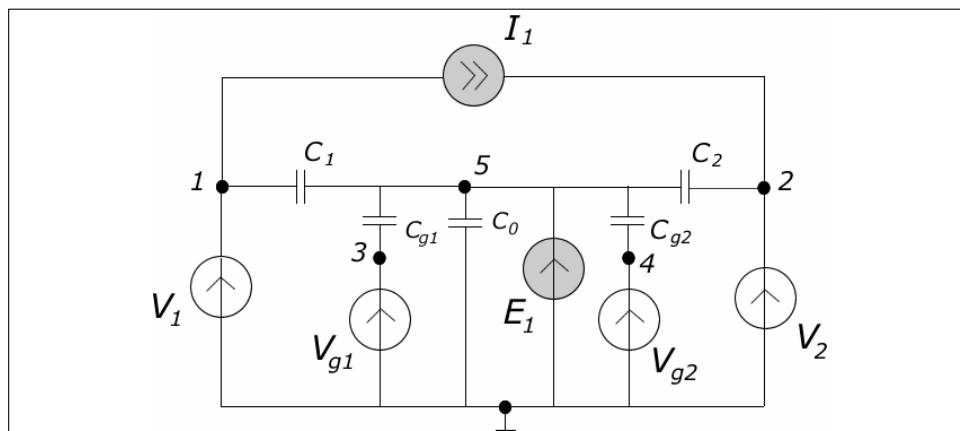


Рис. 2. Еквівалентна схема ОЕТ [2]

При протіканні струму через ОЕТ значення заряду на острівці не є сталим. У динамічній рівновазі вірогідність $P(n)$ зарядного стану n приймається за константу і залежить від температури та прикладених напруг. Для розрахунку струму та заряду на острівці необхідно знати, який зарядний стан має найвищу вірогідність.

Відношення між станами та вірогідностями описується формулою

$$P(n) = P(n-1) \frac{\Gamma_{2L}(n-1) - \Gamma_{1R}(n-1)}{\Gamma_{2R}(n) - \Gamma_{1L}(n)}, \quad (3)$$

де Γ_{iL} , Γ_{iR} — коефіцієнти тунелювання через одноелектронний перехід i вліво або вправо відповідно.

Найвища вірогідність знаходиться між двома станами, де $P(n^* - 1) = P(n^*)$. Рівняння (1) може бути розв'язане відносно n^*

$$\Gamma_{2L}(n^* - 1) + \Gamma_{1R}(n^* - 1) = \Gamma_{2R}(n^*) + \Gamma_{1L}(n^*). \quad (4)$$

При низьких температурах для коефіцієнта тунелювання можна ввести апроксимацію

$$\begin{aligned} \Gamma &\approx \frac{-\Delta E_i}{e^2 R} \quad \text{при } \Delta E_i < 0, \\ \Gamma &\approx 0 \quad \text{при } \Delta E_i \geq 0. \end{aligned} \quad (5)$$

При $V_1 > V_2$ струм буде протікати направо через тунельні переходи, тобто

$$\frac{\Delta E_{1R}(n^* - 1)}{R_1} = \frac{\Delta E_{2R}(n^* - 1)}{R_2}, \quad (6)$$

що можна переписати як

$$-R_2 V_1 + R_2 V(n^* - 1) + \frac{R_2 e}{2C_\Sigma} = R_1 V_2 - R_1 V(n^*) + \frac{R_1 e}{2C_\Sigma}, \quad (7)$$

$$C_\Sigma = C_1 + C_2 + C_{g1} + C_{g2} + C_0. \quad (8)$$

Тут $V(n)$ є напругою на острівці для n -го зарядного стану; C_1 , C_2 — ємності одноелектронних переходів; C_{g1} , C_{g2} — ємності затворів; C_2 — паразитна ємність острівця.

Розв'язуючи рівняння (5) для n^* , отримуємо

$$n^* = \frac{-Q_0 - C_1 V_1 - C_2 V_2 - C_{g1} V_{g1} - C_{g2} V_{g2} + C_\Sigma (R_1 V_2 + R_2 V_1)}{e} + \frac{1}{2}. \quad (9)$$

Розрахунки для $V_1 < V_2$ дають такий самий результат. Оптимальний стан знаходиться між $n^* - 1$ та n^* . Таким чином, найвірогідніший зарядний стан острівця

$$n_{\text{opt}} = \frac{-Q_0 - C_1 V_1 - C_2 V_2 - C_{g1} V_{g1} - C_{g2} V_{g2} + C_\Sigma (R_1 V_2 + R_2 V_1)}{e} + \frac{1}{2}. \quad (10)$$

Після розрахунку найвірогіднішого зарядного стану проводяться обчислення вірогідностей 10 зарядних станів навколо оптимального стану $[n_{\text{opt}} - 5; n_{\text{opt}} + 5]$.

$$P(n) = P(n+1) \frac{\Gamma_{1L}(n+1) + \Gamma_{2R}(n+1)}{\Gamma_{1R}(n) + \Gamma_{2L}(n)} \quad \text{при } n < 0, \quad (11)$$

$$P(n) = P(n-1) \frac{\Gamma_{2L}(n-1) + \Gamma_{1R}(n-1)}{\Gamma_{2R}(n) + \Gamma_{1L}(n)} \quad \text{при } n > 0.$$

За результатами розрахунків вірогідностей зарядних станів оцінюється струм стоку – витоку

$$I_1 = \frac{eI^*}{C_{\Sigma} P_{\Sigma} (R_1 + R_2)}, \quad (12)$$

де

$$I^* = \sum_{i=-5}^5 P(n_{\text{opt}} + i) * (\Gamma_{1R}(n_{\text{opt}} + i) - \Gamma_{1L}(n_{\text{opt}} + i)), \quad (13)$$

та напруга на острівці

$$E_1 = \frac{eE^*}{C_{\Sigma} P_{\Sigma}}, \quad (14)$$

де

$$E^* = \sum_{i=-5}^5 P(n_{\text{opt}} + i) (n_{\text{opt}} + i + \frac{C_1 V_1 + C_2 V_2 + C_{g1} V_{g1} + C_{g2} V_{g2}}{e} + Q_0), \quad (15)$$

$$P_{\Sigma} = \sum_{i=-5}^5 P(n_{\text{opt}} + i). \quad (16)$$

Результати розрахунків вихідної характеристики для ОЕТ у режимі постійного струму з параметрами моделі $C_1 = 1 \text{ аФ}$, $C_2 = 1 \text{ аФ}$, $R_1 = 1 \text{ гОм}$, $R_2 = 1 \text{ гОм}$, $C_{g1} = 2 \text{ аФ}$, $C_{g2} = 2 \text{ аФ}$, $C_0 = 0$, $Q_0 = 0$ наведені на рис. 3.

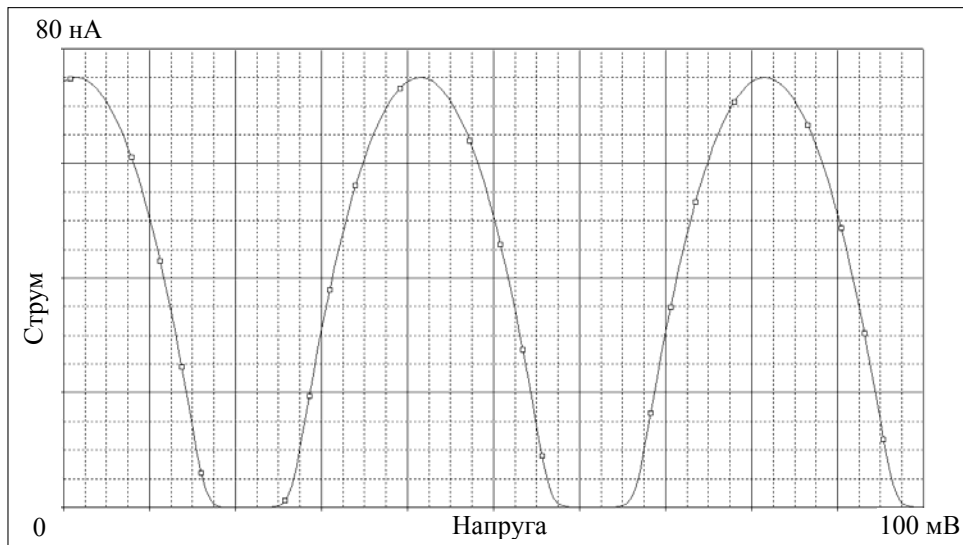


Рис. 3. Вихідна характеристика $I = f(V_{g1})$

ЛОГІЧНІ СХЕМИ

Для дослідження можливості побудови логічних схем за допомогою розглянутої вище моделі були обрані класичні схеми логічних елементів, в яких звичайно використовуються МОН-транзистори [3].

Для моделювання використано ОЕТ з однаковими параметрами ($C_1 = 1 \cdot 10^{-9} \text{ Ф}$, $C_2 = 1 \cdot 10^{-9} \text{ Ф}$, $R_1 = 1 \text{ гОм}$, $R_2 = 1 \text{ гОм}$, $C_{g1} = 2 \cdot 10^{-9} \text{ Ф}$, $C_{g2} = 2 \cdot 10^{-9} \text{ Ф}$, $C_0 = 0$). Значення опорів обрані відповідно до вимоги мінімального опору, необхідного для спостереження ефектів квантизації [4].

$$R > \frac{h}{e^2} = 25813 \text{ Ом} . \quad (17)$$

Для імітації властивостей p та n МОН-транзисторів використовуються різні значення фонових зарядів (відповідно $-0,15e$ та $0,15e$). Температура, при якій проходило моделювання — 4,2 К.

Моделювання проводилось за допомогою пакета OrCad 9.2. Для дослідження часових характеристик схем використовувались імпульсні джерела напруги із довжиною переднього та заднього фронтів 1 нс, імпульсів — 3 та 5 нс відповідно, частота імпульсів — 100 МГц.

ІНВЕРТОР (СХЕМА NOT)

У цій схемі (рис. 4) SET1 є транзистором, що імітує поведінку КМОН-транзистора p -типу, SET2 відповідає КМОН-транзистору n -типу.

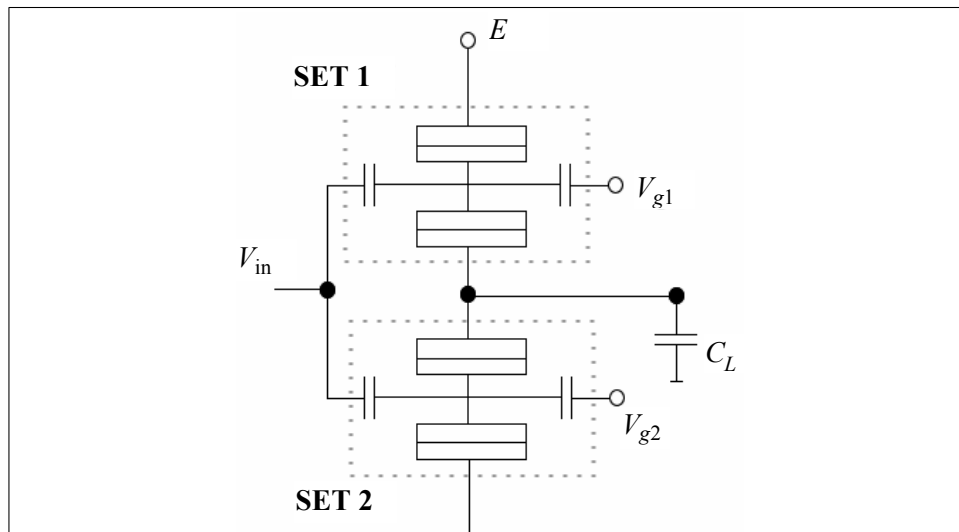


Рис. 4. Схема логічного елемента NOT

На рис. 5 наведені епюри вхідного (V_{in}) та вихідного сигналів.

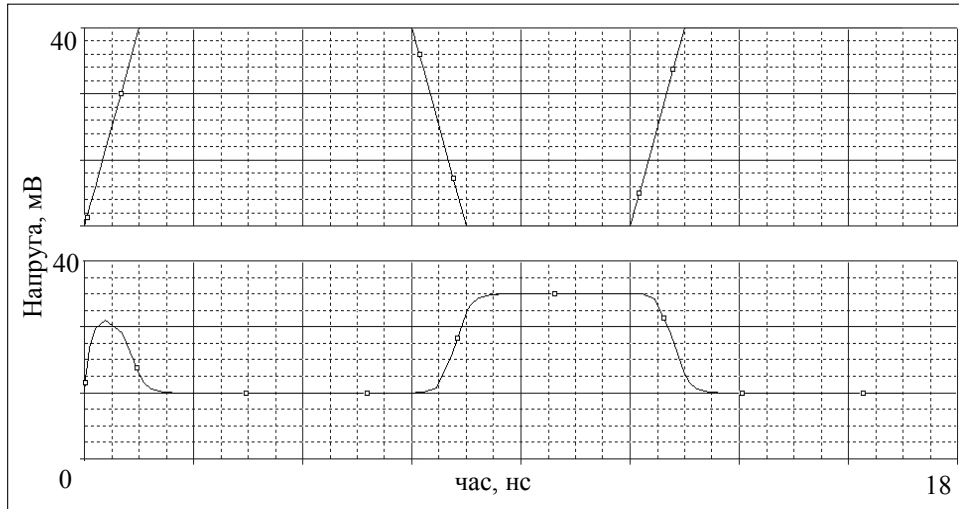


Рис. 5. Часові характеристики схеми NOT

СХЕМА AND

У цій схемі (рис. 6) SET1 та SET2 є транзисторами, що імітують поведінку КМОН-транзисторів p -типу, SET3 та SET4 відповідають КМОН-транзисторам n -типу.

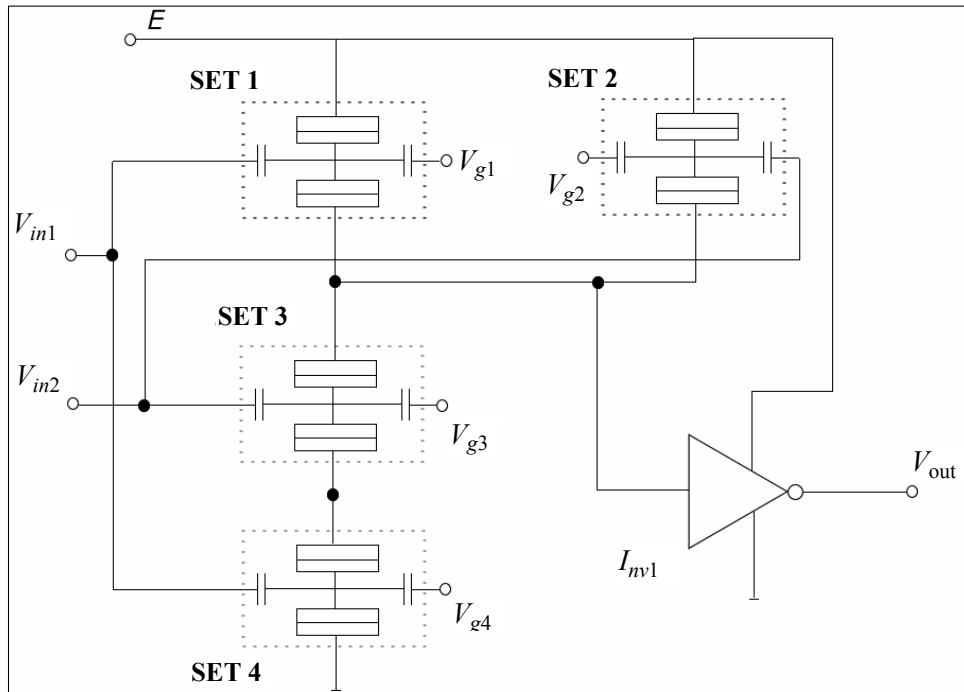


Рис. 6. Схема логічного елемента AND

На рис. 7 наведені епюри вхідного (V_{in}) та вихідного сигналів.

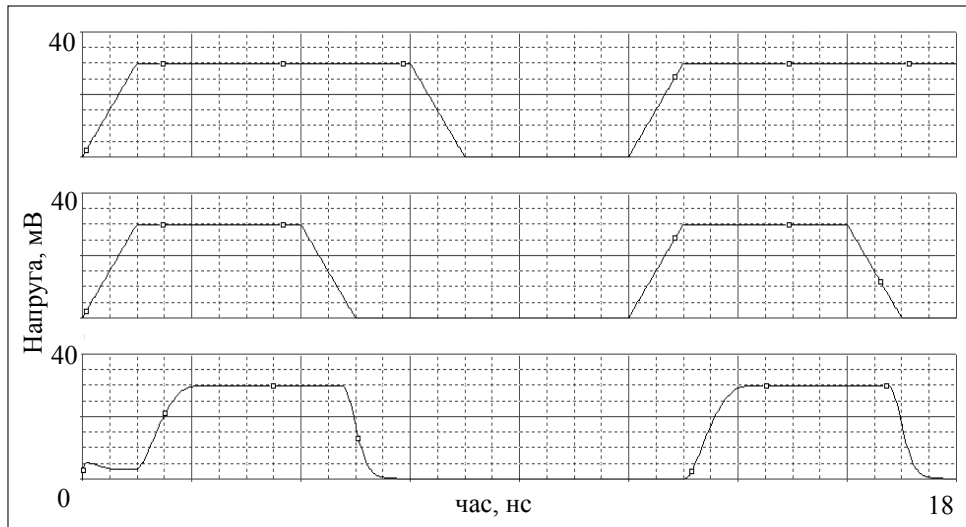


Рис. 7. Часові характеристики схеми AND

СХЕМА OR

У даній схемі (рис. 8) SET1 та SET2 є транзисторами, що імітують поведінку КМОН-транзисторів p -типу, SET3 та SET4 відповідають КМОН-транзисторам n -типу.

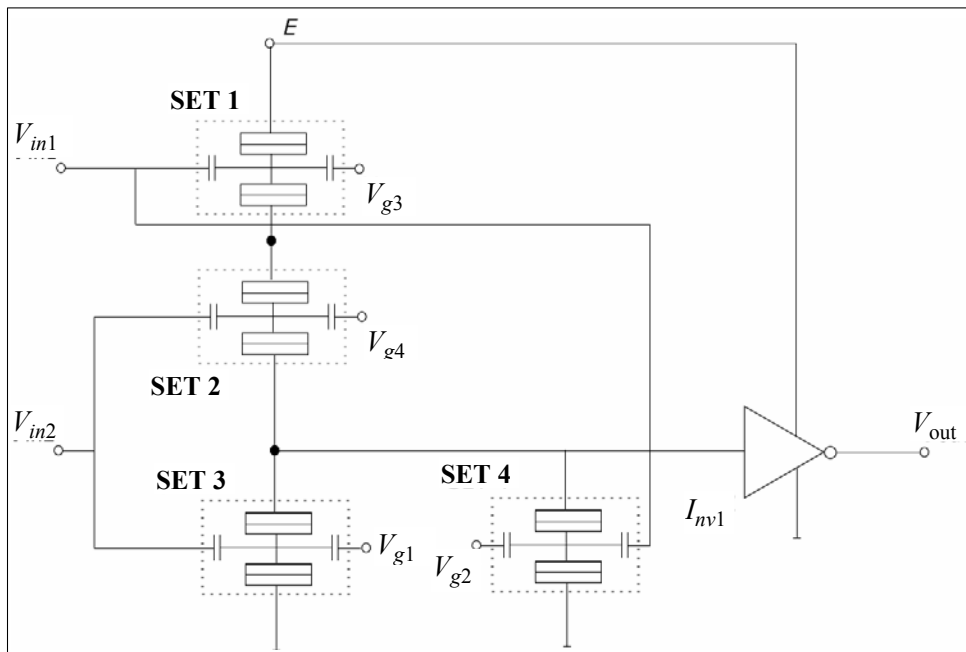


Рис. 8. Схема логічного елемента OR

На рис. 9 наведені епюри вхідного (V_{in}) та вихідного сигналів.

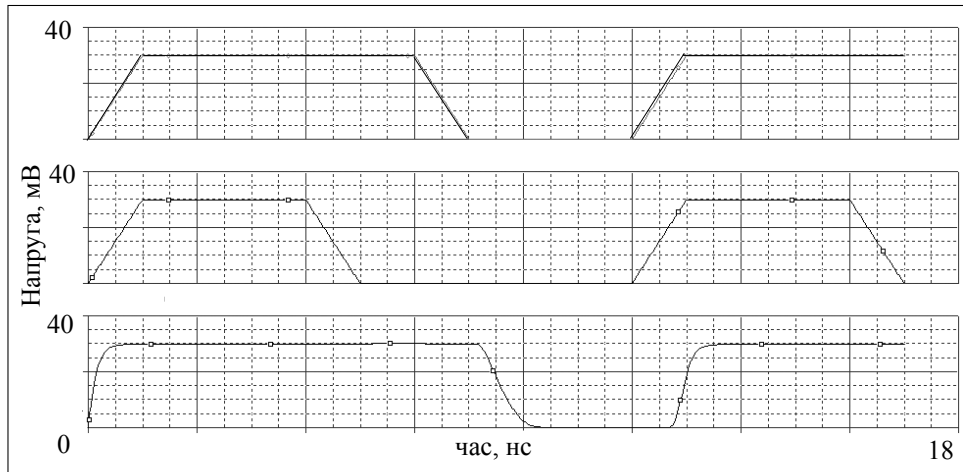


Рис.9. Часові характеристики схеми OR

ВИСНОВКИ

ОЕТ є найбільш чутливими пристроями для вимірювання зарядів у наш час і вже стали важливим інструментом у сфері фундаментальних вимірювань. Той факт, що більшість ОЕТ працює лише при низьких температурах, не є завадою у фундаментальних вимірах, оскільки вони часто проводяться при наднизьких температурах з метою зниження рівня шумів. При таких температурах (менше за 100 мК) велика кількість напівпровідникових приладів перестає працювати. Тим не менш, для схем, орієнтованих на масове споживання, необхідними є кімнатні температури. ОЕТ, що здатні функціонувати при таких температурах, мають проблеми з низьким коефіцієнтом підвищення напруги, високим вихідним імпедансом та фоновими зарядами. На даний момент немає широко розповсюджених логічних схем або схем пам'яті, які базуються на ОЕТ. Найбільш перспективною областю у використанні ОЕТ при кімнатних температурах є схеми, чутливі до зарядів, де проблеми з низьким коефіцієнтом підсилення напруги, високим вихідним імпедансом та фоновими зарядами можливо вирішити за допомогою інтеграції ОЕТ з транзисторами із польовим ефектом.

ЛІТЕРАТУРА

1. *Абрамов И.И., Новик Е.Г.* Численное моделирование металлических одноэлектронных транзисторов. — Минск: Бестпринт, 2000. — 164 с.
2. *Günther Lientschnig, Irek Weymann and Peter Hadley.* Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors // *Jpn. J. Appl. Phys.* — 2003. — **42**. — P. 6467–6472.
3. *Шило В.Л.* Популярныe цифровыe микросхемы: Справочник. — М.: Металлургия, 1988. — 352 с.
4. *Wasshuber C.* Computational Single-Electronics. — Wien: Springer Verlag, 2001. — 278 p.

Надійшла 09.02.2007

