

Бритова О.О., Корначевський Я.І.
ННК "ІПСА" НТУУ "КПІ", Київ, Україна

Методи паралелізації в задачах фізичної верифікації

Поява НВІС розмірністю в мільярди умовних вентилів робить неминучими великі зміни у галузі засобів автоматизованого проектування. Необхідним стає нове покоління САПР, здатне задовольнити вимогам більш швидкого і одночасно більш детального аналізу в нанометрових проектах. В першу чергу це стосується фізичної верифікації нанометрових проектів. Для того, щоб завершити проект в рамках виділеного для цього часу, САПР мають працювати на дуже високому рівні абстракції. З іншого боку, висока швидкість передачі сигналів вимагає проведення фізичної верифікація проекту при надвисокій ступені деталізації та точності, що в свою чергу вимагає великих витрат часу і пам'яті ЕОМ.

Програмні засоби мають працювати з величезними об'ємами і різними типами даних. Можливими методами рішення цієї проблеми є нові ефективні робочі алгоритми, способи мінімізації та стиснення даних, розробка такої структури бази даних, яка дозволяє різним засобам працювати з одними і тими ж даними, а не генерувати нові [1]. Широке розповсюдження мультипроцесорних машин пропонує новий варіант рішення проблеми – паралелізація процесу фізичної верифікації, яка дозволить значно скоротити часові витрати.

САПР для перевірки норм проектування складаються з двох частин – програми перевірки (DRC, LVS [3]) і власне опису норм проектування на внутрішній мові [4]. На вході програма отримує норми проектування і топологію схеми (ієрархічна база даних) [2]. Таким чином, можна запропонувати три основні способи паралелізації:

- 1) паралелізація по нормам проектування;
- 2) паралелізація по зонам (топології);
- 3) паралелізація по ієрархії.

Кожен з методів має свої переваги і недоліки. Паралелізація по нормам проектування простіше в реалізації і не потребує великих витрат часу на розділення норм проектування. Недоліком цього методу є відчутна надмірність – правила перевірки норм проектування часто будуються на основі вже виконаних перевірок. Таким чином, доводиться повторювати одну й ту саму перевірку на декількох процесорах. Паралелізація по ієрархії і особливо по зонам вимагає пересилки великих об'ємів даних (що накладає певні вимоги до пропускну здатності мережі).

Додаткове прискорення може надати також об'єднання наведених вище методів паралелізації. Наприклад, проектувальнику доступна локальна мережа з багатоядерними робочими станціями, тоді він може побудувати задачу так:

- 1) для кожної атомарної задачі типу 1 (паралелізація по нормам проектування) виділити свою робочу станцію;
- 2) в межах кожної робочої станції запустит паралелізацію типу 2 чи 3, в залежності від складності проекту.

Література

1. Физическая верификация СБИС: новый век – новые проблемы. [Електронний ресурс] – Режим доступу: http://chipnews.gaw.ru/html.cgi/arhiv/99_09/stat_36.htm.
2. Physical Verification in the Age of One Billion Transistors, One Thousand Design Rules, and Million Dollar Mask Sets. [Електронний ресурс] – Режим доступу: <http://electronicdesign.com/article/eda/physical-verification-in-the-age-of-one-billion-tr.aspx>.
3. [Електронний ресурс] – Режим доступу: <http://electronicsbus.com/drc-lvs-asic-design/>.
4. [Електронний ресурс] – Режим доступу: <http://edagraffiti.com/?p=278>.