УДК 62-82:658.512.011.56

В.В.Ладогубец, канд.техн.наук, А.В. Ладогубец

Тестовые задачи параметрической оптимизации схем на моп транзисторах

Пропонується набір схем, на МОН транзисторах, для тестування блоку параметричної оптимізації пакетів схемотехнічного проектування, та результати їх розрахунків за допомогою пакету ALLTED.

The circuit set on the MOS transistors for testing of parametrical optimization block of simulation design packages is offered. Results of their calculations by means of design package ALLTED are represented.

Одним из основных этапов схемотехнического проектирования является решение задач параметрической оптимизации. При проектировании схем на МОП-транзисторах, в условиях ограниченных возможностей натурного эксперимента и приборной настройки, наличие средств автоматизированного решения задач параметрической оптимизации может вообще определить успех проекта в целом. Поэтому в состав наиболее известных пакетов схемотехнического проектирования, таких как Pspice[1], Hspice [2], Saber [3], ALLTED [4], входят блоки параметрической оптимизации. Известно, что эффективность автоматизированных средств оптимизации в значительной степени определяется не только выбранной алгоритмической базой, но и степенью адаптации численных процедур к особенностям оптимизации объектов проектирования и качеством программной реализации. Таким образом, комплексную оценку эффективности блоков параметрической оптимизации можно получить только на основе сравнения результатов решения практических задач. Однако, в отличие от программ моделирования, на сегодня нет тестовых наборов задач оптимизации схем на МОП-транзисторах. Встречающиеся в литературе практические результаты, как правило, не содержат полного описания как собственно объекта проектирования , так и особенностей решаемых задач, что фактически делает невозможным повторение эксперимента. С целью хотя бы частичного устранения подобной ситуации в работе предлагается описание тестового набора задач оптимизации схем на МОП-транзисторах При этом, все тесты отличаются между собой как по математическим аспектам постановки задач параметрической оптимизации (вид задач математического программирования, количество варьируемых параметров, наличие/отсутствие ограничений и т.д.), так и особенностями функционирования и назначения схем.

Схема управления высоким напряжением.

Для этой схемы (Рис. 1) необходимо найти такие значения длины L и ширины W каналов транзисторов M5 и M6, при которых длительность заднего фронта Vout станет равной 10 наносекунд. Длительность заднего фронта DurVout определяется как разность моментов времени, при которых Vout проходит сверху вниз уровни 1в и 9в. При этом на варьируемые компоненты наложены следующие ограничения:

$$0.5u \le L.M5 \le 5u$$

$$0.5u \le L.M6 \le 5u$$

$$5u \le W.M5 \le 100u$$

$$5u \le W.M6 \le 100u$$

Такая задача может быть решена как задача нелинейного программирования вида:

$$\min_x Q(x) \qquad (1)$$

при условии

$$a_j \le x_j \le b_j, j = 1(1)n$$

где, Q - целевая функция, $x = [x_1,...,x_n]^T$ - вектор варьируемых параметров, a_j, b_j - нижняя и верхняя границы области изменения j-го варьируемого параметра.

В качестве целевой функции может быть использована функция вида:

$$Q = k|PV - y| \qquad (2)$$

где, k – весовой коэффициент, PV и y – требуемое и рассчитанное значение оптимизируемой характеристики. Для данной задачи значения k и PV равны 10^9 и10^{-8} соответственно.

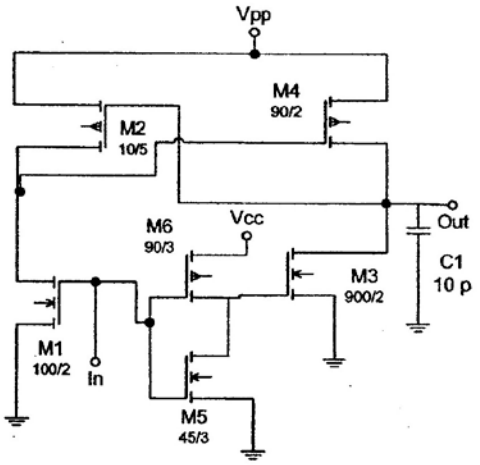

Рис. 1 Схема управления высоким напряжением

Входные сигналы и источники имеют следующий вид:

$$Ein = PULSE(0,3V,50ns,3ns,3ns,80ns,200ns);$$

$$EVpp = 10V;$$

$$EVcc = PWL(0,0,3ns,3V)$$

где, *PULSE* и *PWL* – стандартные функции для задания входных источников пакетов Pspice[1], Hspice [2], Saber [3], ALLTED [4].

Время моделирования – 250 нсек.

В качестве модели транзисторов используется BSIM3 модель со значениями параметров по умолчанию как в модели Level49 пакета HSPICE[2] и с заменой CGSO=2.88E-10, CGDO=2.88E-10,CGBO=3.0E-11, VTHO=0.7 (для n-типа) и VTHO=-1.0 (для p-типа).

Четырехвходовая логическая схема.

Для этой схемы (Рис. 2) необходимо меняя значения W всех транзисторов минимизировать максимальную длину переднего фронта сигнала на выходе схемы (VCp10) при подаче входных сигналов от IN2 и IN3. При этом длительность переднего фронта сигнала на Cp10 от IN2 (DUR2) определяется как разность моментов времени перехода VCp10 через уровни 0.5V и 4.5V на интервале 0-40ns, а длительность переднего фронта сигнала на VCp10 от IN3(DUR3) - через уровни 0.5V и 4.5V на интервале 40-60ns.

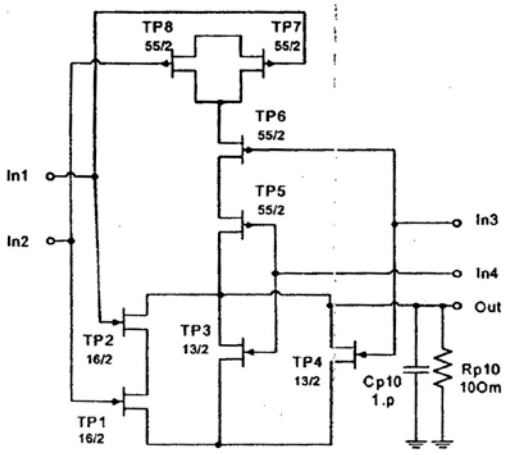

Рис. 2 Четырехвходовая логическая схема

При этом должны выполнятся следующие ограничения:

$$6u \le W.TP8 = W.TP7 = W.TP6 = W.TP5 \le 45u$$

$$1u \le W.TP4 = W.TP3 \le 20u$$

$$1u \le W.TP2 = W.TP1 \le 20u$$

Такая задача может быть решена как минимаксная задача вида:

$$\min_x \max_i \{Q_i(x), i = 1(1)N\},$$

при условии,

$$a_j \le x_j \le b_j, j = 1(1)n.$$

где, N – количество частных целевых функций. В качестве целевых функций используются функции вида (2) со значениями PV и k равными 0 и 10^9 соответственно.

Входные сигналы и источники питания имеют следующий вид:

$$EVdd = 5V,$$

$$EIN2 = PULSE(0,5,0,1n,1n,20n,400n),$$

$$EIN1 = 5V,$$

$$EIN4 = 5V,$$

$$EIN3 = PULSE(0,5,40n,1n,1n,20n,400n).$$

Время моделирования – 100 наносекунд.

В качестве модели транзисторов используется BSIM3 модель со значениями параметров по умолчанию как в модели Level49 пакета HSPICE[2].

Восьмиразрядная схема переноса .

Для этой схемы (Рис. 3) необходимо меняя значения W транзисторов во всех схемах Carry (XS0,XS1,XS2, XS3, XS4, XS5, XS6, XS7) минимизировать задержку сигнала от входа (VA0) к выходу (VRs7). При этом время задержки определяется как разность моментов времени, между которыми VRs7 пройдет через уровень 2.5V "сверху - вниз", а VA0 пройдет через уровень 2.5V "снизу - вверх".

При этом на варьируемые параметры накладываются следующие ограничения:

$$2u \le W.TP21.XS0 = W.TP22.XS0 =$$
$$= W.TP23.XS0 = W.TP21.XS1 =$$
$$= W.TP22.XS1 = W.TP23.XS1 =$$
$$= W.TP21.XS2 = W.TP22.XS2 =$$
$$= W.TP23.XS2 = W.TP21.XS3 =$$
$$= W.TP22.XS3 = W.TP23.XS3 =$$
$$= W.TP21.XS4 = W.TP22.XS4 =$$
$$= W.TP23.XS4 = W.TP21.XS5 =$$
$$= W.TP22.XS5 = W.TP23.XS5 =$$
$$= W.TP21.XS6 = W.TP22.XS6 =$$
$$= W.TP23.XS6 = W.TP21.XS6 =$$
$$= W.TP22.XS6 = W.TP23.XS6 =$$
$$= W.TP21.XS7 = W.TP22.XS7 =$$
$$= W.TP23.XS7 \le 40u$$

$$2u \le W.TP2.XS0 = W.TP2.XS1 =$$
$$= W.TP2.XS2 = W.TP2.XS3 = W.TP2.XS4 =$$
$$= W.TP2.XS5 = W.TP2.XS6 =$$
$$= W.TP2.XS7 \le 40u$$

$$2u \le W.TP1.XS0 = W.TP1.XS1 =$$
$$= W.TP1.XS2 = W.TP1.XS3 = W.TP1.XS4 =$$
$$= W.TP1.XS5 = W.TP1.XS6 =$$
$$= W.TP1.XS7 \le 40u$$

$$2u \le W.TP24.XS0 =$$
$$= W.TP24.XS1 = W.TP24.XS2 =$$
$$= W.TP24.XS3 = W.TP24.XS4 =$$
$$= W.TP24.XS5 = W.TP24.XS6 =$$
$$= W.TP24.XS7 \le 40u$$

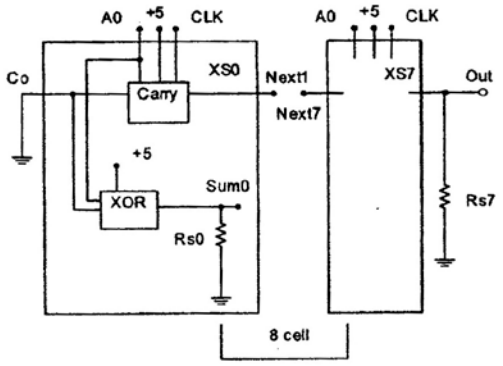

Рис. 3 а Восьмиразрядная схема переноса.

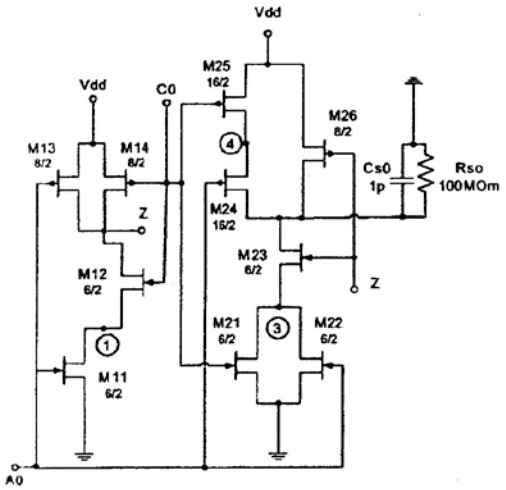

Рис. 3 б Схема НЕ-ИЛИ (XOR).

Такая задача может быть решена как задача (1) с использованием целевой функции вида (2) со значениями *PV* и *к* равными 0 и 10^9 соответственно.

Входные сигналы и источники питания имеют следующий вид:

$$Edd = 5V,$$

$$EA1, EA2, EA3, EA4, EA5, EA6, EA7 = 5V,$$

$$EA0 = PULSE(0,5,5n,1n,1n,15n,200n),$$

$$Eclk = PULSE(0,5,5.5n,1n,1n,15n,200n).$$

Время моделирования – 50нсек.

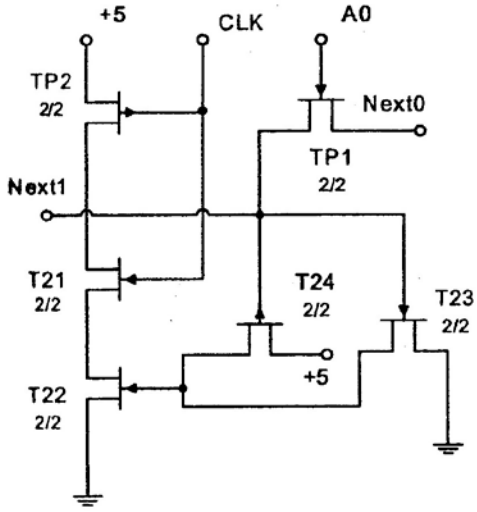

Рис. 3 в Схема переноса (Carry).

В качестве моделей транзисторов используется BSIM1 модель (аналогичная Level13 в HSPICE) со списком параметров по умолчанию и с заменой Rd=20, Rs=20.

Схема формирования высокого напряжения.

Для этой схемы (Рис. 4) необходимо к 30 мксек обеспечить подъем входного выходного напряжения от 0 до 10 вольт. При этом максимальный ток потребления от источника Vin не должен превышать 1 ма. Оптимизируемой характеристикой для этой задачи является значение VCout в момент времени 30 мксек. В качестве варьируемых параметров выступают L и W транзисторов M3 и M4, а так же W транзисторов M21-M25. При этом W транзисторов M21-M25 должна изменятся синхронно. При этом на варьируемые параметры накладываются следующие ограничения:

$$0.5u \le L.M3 \le 5u$$

$$0.5u \le W.M3 \le 10u$$

$$0.5u \le L.M4 \le 5u$$

$$5u \le W.M4 \le 40u$$

$$10u \le W.M21 = W.M22 = W.M23 =$$

$$= W.M24 = W.M24 = W.M25 \le 40u$$

Такая задача может быть решена как задача вида

$$\min_x Q(x),$$

при условии

$$a_j \le x_j \le b_j, j = 1(1)n$$

$$A_m(y) \le 0, m = 1(1)M$$

где $A_m(y), m = 1(1)M$ - ограничения на выходные функции и варьируемые параметры. В качестве целевой функции используется функция вида (2) со значениями *PV* и *к* равными 10 и 1 соответственно. В качестве ограничения *A(y)* используется ограничение вида:

$$k(y - PV) \le 0, \qquad (3)$$

со значениями *PV* и *к* равными 1 и 10^3 соответственно.

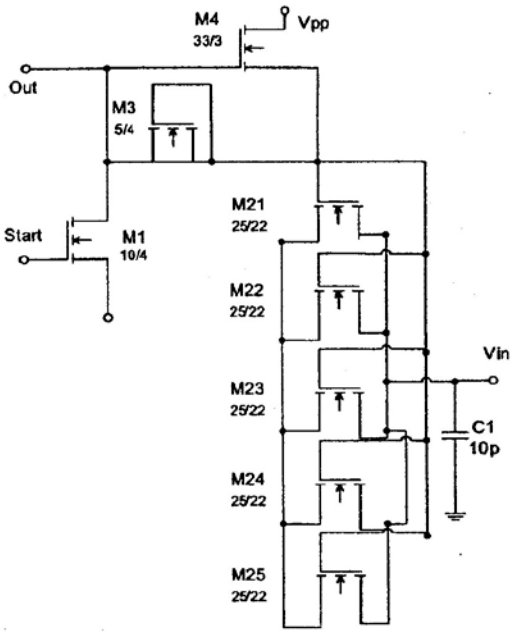

Рис. 4 Схема формирования высокого напряжения.

В качестве y выступает максимальное значение тока Ivin. Входные источники и источники питания имеют следующий вид:

$$EVin => PULSE(0,5,60n,10n,10n,580n,600n)$$

$$EVpp => 10$$

$$EVcc => 3$$

$$EVStart => PWL(0,0,5n,0,10n,3,150n,3,155n,0)$$

Время моделирования – 35 мксек.

В качестве моделей транзисторов используется BSIM1 модель (аналогичная Level13 в HSPICE) со списком параметров по умолчанию и с заменой CGSOM=2.88E-10, CGDOM=2.88E-10, TOXM=2.0E-2.

Схема подкачки.

Для этой схемы (Рис. 5) необходимо так поднять выходное напряжение (VC80) что бы в момент времени 2 мсек напряжение ровнялось бы 15 V. В качестве варьируемых параметров можно синхронно изменять W, L, и толщину окисла (TOX) транзисторов M13-M22.

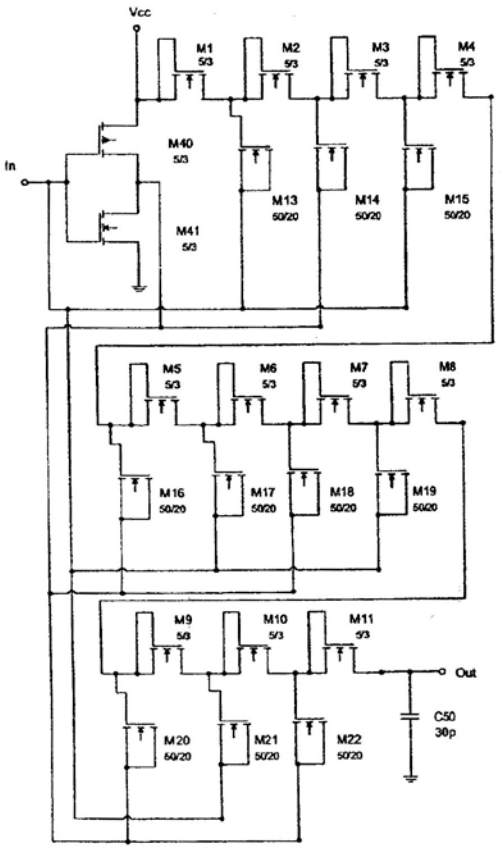

Рис. 5 Схема подкачки.

При этом на варьируемые параметры наложены следующие ограничения:

$$50u \le W.M13 = W.M14 = W.M15 =$$
$$= W.M16 = W.M17 = W.M18 =$$
$$= W.M19 = W.M20 = W.M21 =$$
$$= W.M22 = W.M23 \le 200u$$
$$20u \le L.M13 = L.M14 = L.M15 =$$
$$= L.M16 = L.M17 = L.M18 =$$
$$= L.M19 = L.M20 = L.M21 =$$
$$= L.M22 = L.M23 \le 200u$$
$$1.0E-2 \le TOXM\ .M13 =$$
$$= TOXM\ .M14 = TOXM\ .M15 =$$
$$= TOXM\ .M16 = TOXM\ .M17 =$$
$$= TOXM\ .M18 = TOXM\ .M19 =$$
$$= TOXM\ .M20 = TOXM\ .M21 =$$
$$= TOXM\ .M22 = TOXM\ .M23 \le 7.0E-2$$

Такая задача может быть решена как задача (1) с использованием целевой функции вида (2) со значениями *PV* и *к* равными 15 и 1 соответственно.

Входные сигналы и источники питания имеют вид:

$$EVin = PULSE(0,5,1u,1u,50u,57u),$$

$$EVcc = 5.$$

Время моделирования – 3 мсек.

В качестве моделей транзисторов используется BSIM1 модель (аналогичная Level13 в HSPICE) со списком параметров по умолчанию.

Схема входного каскада.

Для этой схемы (Рис. 6) необходимо минимизировать задержку переднего и заднего фронтов выходного сигнала (Vout) при условии, что длительность переднего фронта Vout не должна превышать 7 нсек. В качестве варьируемых параметров выступают W транзисторов M3, M5, M6. Длительность переднего фронта оценивается как разность между моментами перехода Vout "снизу - вверх" через уровни 4.5V и 0.5V. Задержка переднего DEL1 и заднего DEL2 фронтов Vout оценивается как разность между моментами перехода Vout и Vin "снизу - вверх" через уровень 2.5V, и моментами перехода Vout и Vin "сверху - вверх" через уровень 2.5V соответственно.

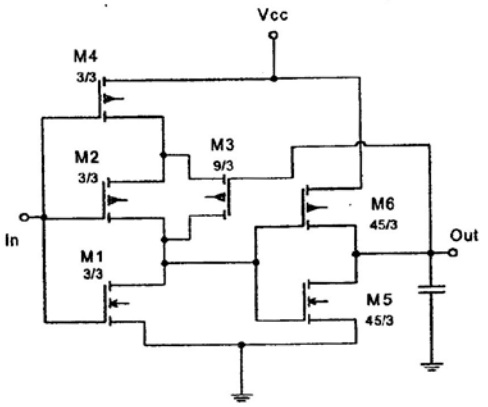

Рис. 6. Схема входного каскада.

На варьируемые параметры наложены следующие ограничения:

$$1u \le W.M3 \le 10u$$

$$5u \le W.M5 \le 50u$$

$$5u \le W.M6 \le 50u$$

Такая задача может быть решена как задача вида :

$$\min_x \max_i \{Q_i(x), i = 1(1)N\}$$

при условии

$$a_j \le x_j \le b_j, j = 1(1)n$$

$$A_m(y) \le 0, m = 1(1)M$$

В качестве целевых функций используется функция вида (2) со значениями *PV* и *к* равными 0 и 10^9 соответственно. В качестве ограничения *A(y)* используется ограничение вида (3) со значениями *PV* и *к* равными $7*10^{-9}$ и 10^9 соответственно. В качестве y выступает значение DUR1.

Входные источники и источники питания имеют следующий вид:

$$EVin = PULSE(0,5,20n,2n,2n,50n,100n),$$

$$EVcc = 5.$$

Время моделирования – 100 нсек.

В качестве моделей транзисторов используется BSIM3 модель (аналогичная Level49 в HSPICE) со списком параметров по умолчанию и с заменой CGSO=2.88E-10, CGDO=2.88E-10, CGBO=3.0E-11, VHTO=0,7 для n-канала и VTHO=-0,7 для p- канала.

Начальные значения переменных, входящих в состав вектора варьируемых параметров для всех тестовых задач приведены на рис.1-6.

В заключение, в табл.1 приведены данные решения всех тестовых задач с помощью блока параметрической оптимизации пакета ALLTED.

Табл.. 1 Результаты решения тестовых задач с помощью пакета ALLTED

№ схемы	КОЦФ	Кш	Опт. зн. ЦФ	Опт. зн. огр
1	51	2	.404E-03	---
2	48	3	.408E+01 .408E+01	---
3	59	5	.920E+01	---
4	111	5	.659E-03	-.415E-01
5	86	2	.354E-04	---
6	40	2	.586E+01	-.487E+00

КОЦФ – количество оценок целевой функции

Кш – количество шагов

Опт. зн. ЦФ – оптимальное значение целевой функции

Опт. зн. огр – оптимальное значение ограничений

Рассмотренные тестовые задачи могут служить надежным средством оценки работоспособности и пригодности существующих и разрабатываемых средств САПР для решения задач параметрической оптимизации МОП схем. Расчетные данные, полученные с помощью пакета ALLTED позволяют получить не только качественные, но и количественные оценки эффективности блоков оптимизации.

Литература

1. В.Д. Резевиг. Применение P-CAD и PSPICE для схемотехнического моделирования на ПЭВМ. Вып. 2. Модели аналоговых устройств. – М.: "Радио и связь", 1992, – 64с.
2. HSPICE User's Manual: Elements and Device Models. Volume II. – Meta-Software, Inc., 1996, 414 p.
3. Synopsys product&solutions
4. http://www.synopsys.com/products/mixedsignal/saber/saber.html
5. Petrenko A.I., Ladogubets V.V., Tchkalov V.V., Pudlowsky Z.J. ALLTED a Computer-Aided Design for Electronic Circuit Design. – Melbourne, 1997, 205 p.