

Безносик А.Ю.

НТУУ «КПИ» УНК «ИПСА»

Моделирование тестовых электронных схем с помощью пакетов схемотехнического проектирования ALLTED и HSPICE

Данная работа посвящена исследованию эффективности алгоритмов статического и временного анализа, используемых в пакетах схемотехнического проектирования ALLTED (All-Technology Designer) [1] и Synopsys HSPICE [2].

Проведенное исследование включает изучение численной сходимости процедур статического анализа, а также скорости и точности работы алгоритмов временного анализа, путём моделирования ряда плохо обусловленных и жёстких тестовых задач из эталонного набора описаний электронных схем, разработанного Центром микроэлектроники Северной Каролины [3]. В рамках исследования, с помощью разработанного на кафедре САПР НТУУ «КПИ» конвертора Spice-to-Allted, было проведено преобразование исходных описаний схем с языка SPICE в язык описания объектов пакета ALLTED. Эта конвертация касалась только описания схем, а не описания заданий на моделирование, так как в ALLTED используется язык управления заданиями, который существенно отличается от языка описания заданий в HSPICE. Таким образом, задание на моделирование было транслировано в ALLTED вручную с сохранением основных задач моделирования. Кроме того, для обеспечения одинаковых начальных условий, были приведены в соответствие значения определённых управляющих констант, таких как относительная погрешность метода Ньютона, локальная погрешность метода интегрирования, минимальный временной шаг и т.п.

В ALLTED и HSPICE используются различные подходы для вычисления погрешностей, выбора шага, различные методы интегрирования, что затрудняет оценивание полученных результатов. Однако можно отметить, что при выполнении статического анализа ALLTED находит решение быстрее при использовании метода по умолчанию (метод Ньютона-Рафсона с линейным поиском длины шага вдоль выбранной траектории решения), хотя применение данного метода не всегда приводит к получению надлежащих результатов. При использовании же оригинального, реализованного в ALLTED метода, основанного на поиске гиперлинии, соединяющей текущую предполагаемую точку и точку решения, адекватные результаты были получены, хотя и за большее число итераций, чем в HSPICE.

Временной анализ примерно в половине случаев ALLTED также выполняет за меньшее число итераций, однако нельзя быть уверенным, что результаты, полученные в ALLTED и HSPICE, имеют одинаковую точность, так как процедура выбора временного шага в HSPICE, в отличие от ALLTED, не принимает во внимание значение локальной погрешности метода интегрирования, а использует количество итераций на текущем шаге, отношения значений решения на текущем и предыдущем шагах и их абсолютную разницу. Кроме того, HSPICE использует по умолчанию метод интегрирования первого порядка (также можно вручную задать использование метода второго порядка), в то время как в ALLTED используется автоматический метод интегрирования переменного порядка (с первого по шестой), что в ряде случаев обеспечивает получение более точных результатов. Таким образом, использование в качестве критерия только лишь общего числа итераций является недостаточным для объективного сравнения пакетов ALLTED и HSPICE.

Литература

- [1] A. I. Petrenko, V. V. Ladogubets, V. V. Tchkalov, Z. J. Puldowski, ALLTED – a computer-aided engineering system for electronic circuit design. Melbourne, 1997.
- [2] HSPICE: Elements and Device Models, Volume II. Meta-Software, Inc., 1996.
- [3] CircuitSim90 Benchmark Information, http://www.cbl.ncsu.edu/CBL_Docs/csim90.htm