

АНАЛІЗ ЗАСОБІВ ЗМІШАНОГО МОДЕЛЮВАННЯ СХЕМОТЕХНІЧНОГО ТА ФУНКЦІОНАЛЬНО-ЛОГІЧНОГО РІВНІВ

Проведено аналіз можливостей сучасних засобів змішаного моделювання в межах взаємодії схемотехнічного та функціонально-логічного рівнів абстракції. В результаті аналізу визначено способи модернізації вітчизняного схемотехнічного симулятора, які забезпечують можливість його використання сумісно з існуючими засобами змішаного моделювання та функціонально-логічними САПР.

Ключові слова: моделювання, інтегроване середовище розробки, косимуляція, інтегральна схема, системи на кристалі, вбудовані системи, AMS.

Початковою постановкою завдання змішаного моделювання в пакетах [1; 2; 3] було забезпечення динамічного обміну інформацією між моделями об'єктів різної фізичної природи у рамках єдиного програмного середовища [4]. За такої постановки завдання розробники САПР вирішують такі проблеми:

- розробка додаткових моделей у межах існуючого середовища моделювання;
- вибір набору даних, придатних для взаємодії моделей різної фізичної природи;
- перетворення типів даних, що є більш природними для різних підходів до моделювання;
- синхронізація процесів моделювання для випадків, якщо моделі вимагають різних симуляторів або істотно відрізняються режимами моделювання.

Усі ці проблеми зберегли свою актуальність, що підтверджено в багатьох сучасних публікаціях [5; 6]. Основними завданнями для такого рівня абстракції найчастіше є:

- проектування інтерфейсів між аналоговими і цифровими блоками пристроїв;
- використання датчиків і актуаторів різної фізичної природи;
- врахування ефектів середовища, які впливають на функціонування пристрою (температура, тиск, т.п.);
- забезпечення взаємодії компонентів САПР систем від різних розробників.

Сучасний розвиток проектування пристроїв на СБІС пов'язаний як із збільшенням числа компонентів, так і зі зміною способу їх функціонування. Наприклад, використання цифрових пристроїв, які керовані єдиним мікроконтролером, змінилося на використання паралельно функціонуючих модулів, кожен з яких містить як мікроконтролер, так і блоки, що з ним співпрацюють. Таким чином, до переліку завдань, вирішуваних шляхом змішаного моделювання, увійшли, окрім моделей різної фізичної природи, моделі різного рівня абстракції опису функціонування, що мають моделюватись одночасно [7; 8]. Моделювання багатоядерних змішаних систем супроводжується розв'язанням задач:

- декомпозиція моделей на блоки, які можуть моделюватися в різних потоках;
- зв'язок між блоками різного способу моделювання;
- підтримка вихідних форматів засобів програмного забезпечення для контролерів;
- збір і аналіз даних, які характеризують взаємодію компонентів системи (пошук критичних вузлів, уніфікований аналіз навантаження блоків системи).

З точки зору вимог користувачів, САПР багатоядерних систем має додатково забезпечувати [9; 10]:

- спільну розробку систем;
- синтез проміжних версій апаратної складової системи, достатньо швидких, для розробки ПО (створення програмних симуляторів системи до її практичної реалізації).

Аналіз і порівняння пакетів та методів змішаного моделювання, який би вмещував схемотехнічний та системний рівні, є неефективним тому, що буде перевантажений критеріями, які слабо пов'язані один з одним. Внаслідок цього розгляд пакетів обмежено лише тими, які підтримують косимуляцію схемотехнічного та функціонально-логічного рівнів.

Підтримка косимуляції вищих рівнів є важливою перевагою, тому в переліку параметрів порівняння пакетів вона обов'язково має залишитися. Таким чином, перелік критеріїв порівняння складається з таких параметрів:

- похибка та швидкодія схемотехнічних моделей;
- розмірність задач схемотехнічного рівня;
- швидкодія та повнота підтримки мов функціонально-логічного рівня абстракції;
- розмірність задач функціонально-логічного рівня;
- наявність інструментарію моделювання багатоядерних обчислень у пристрої.

Вибір пакетів схемотехнічного та функціонально-логічного рівня. Моделі рівня схемотехніки, завдяки своїм високим вимогам до якості математичного опису, дають змогу описувати багато типів вузлів цифрових пристроїв. Тому більшість пакетів схемотехнічного рівня цілком справедливо вказують у переліку своїх можливостей змішане моделювання. Включення до процесу змішаного моделювання подієво-керованого стає необхідним лише за умови необхідності моделювання систем великої розмірності. САПР для завдань високої розмірності вимагають певного рівня довіри, тому розглядати зовсім нові проекти поряд з уже добре відомими було б ризиковано. Тому для переліку САПР, які досліджувалися, включено пакети, відомі вже багато років, із зазначенням їх базових якостей і останніх інновацій та нові пакети, побудовані на відомих обчислювальних ядрах.

У разі використання подібних математичних апаратів конкурентоспроможність пакетів будується на додаткових функціональних блоках, які виконують роль прекомпіляторів або додаткових моделей. Кожен спосіб має власні переваги, тому їх дуже важко порівняти один з одним. Об'єктивне порівняння виконано за загальною сукупністю можливостей пакета, яку ці модулі забезпечують.

Ще одним підходом до побудови систем змішаного моделювання сьогодні є використання Verilog-AMS і VHDL-AMS. За потенційними можливостями, AMS-пакети майже не поступаються SPICE пакетам на схемотехнічному рівні, але відсутність еквівалентної кількості якісних моделей пристроїв реального світу не дає змогу назвати ці два способи опису схемотехнічних модулів рівними [11]. Хоча застосування цих мов залишається необхідним як зручний сучасний інструмент опису процедурного та функціонально-логічного рівнів.

До переліку найбільш поширених САПР змішаного моделювання схемотехнічного та функціонально-логічного рівня абстракції, що порівнюються, було включено:

1. Electronic workbench 7, який побудовано на ядрі X-spice. Починаючи з дев'ятої версії, підтримка змішаного моделювання функціонально-логічного рівня в пакеті припинена. Оцінити якісні характеристики цього рішення, на жаль, не вдалося [12].

2. SYNOPSIS: HSIMplus — частина повнофункціонального САПР для усіх рівнів абстракції. Взаємодія схемотехніки і функціонально-логічного симуляторів організовано засобами бібліотеки PLI 2.0 [13]. Особливість такого підходу полягає в тому, що розробники інтерфейсу косимуляції повністю взяли на себе контроль над синхронізацією роботи незалежних симуляторів схемотехніки і функціонально-логічного. Такий підхід знижує швидкодію у разі великої кількості інтерфейсів між аналоговими і цифровими блоками. До переваг такого способу косимуляції слід віднести стабільну роботу і високу швидкість функціонально-логічного симулятора, який не пов'язаний з внутрішньою синхронізацією симулятора схемотехніки.

3. ACCEL EDA — пакет змішаного моделювання, що об'єднує HSPICE і VCS (функціонально-логічний) симулятори. Взаємодія симуляторів реалізована на основі внутрішніх інтерфейсів від розробників симуляторів. Відмінна особливість пакета полягає в його оптимізації для великих проектів. Для завдань середньої та малої розмірності складність налаштування і запуск на моделювання відбуваються не виправдано довго [14].

4. DOLPHIN Smash Vision — пакет змішаного моделювання для мов [15]: SPICE, Verilog, Veriloga, VHDL, VHDL — AMS, C. Початковим призначенням цього симулятора було забезпечення навчальних програм з електроніки. Сучасна версія пакета охоплює повний цикл розробки пристрою, від поведінкового до топологічного рівнів опису. Реалізація змішаного моделювання виконана на одному обчислювальному потоці X-spice з попереднім перетворенням форматів і інтерфейсів, що забезпечує високу швидкість моделювання та широкі можливості взаємодії з симулятором.

Комплект супроводжується додатковими інтерфейсами до математичних і САПР пакетів, які дозволяють його використовувати у рамках великих проектів, не виходячи за єдину структуру опису компонентів проектованої системи. До недоліків пакета варто віднести порівняно недопрацьовану систему графічного опису моделей, через яку текстовий опис виглядає більш практичним.

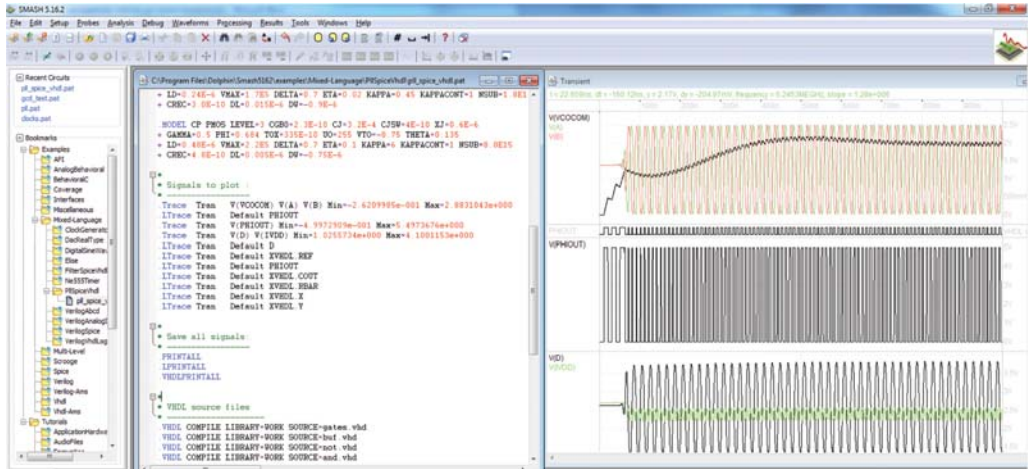


Рис. 1 — Косимуляція в DOLPHIN Smash Vision

5. ICAP — продукт від розробників одного з найбільш поширених обчислювальних ядер змішаного моделювання: x-spice [16]. Змішане моделювання X-spice реалізоване на основі обчислювального ядра SPICE 3 за рахунок включення до складу ядра подієво-керованого симулятора спрощеної версії VHDL: VHDLе. На рівні постановки завдань пакети перетворюють моделі, описані на Verilog або VHDL, у скінченні автомати, які кодуються на VHDLе, за рахунок чого розробник не має необхідності вивчати проміжну версію опису. Синтаксис X-spice передбачає опис обох рівнів абстракції в рамках одного вихідного файлу з широким використанням препроцесора та «закоментованих» параметрів, що суттєво ускладнює сприйняття текстового опису моделей, порівняно з оригінальною мовою SPICE.

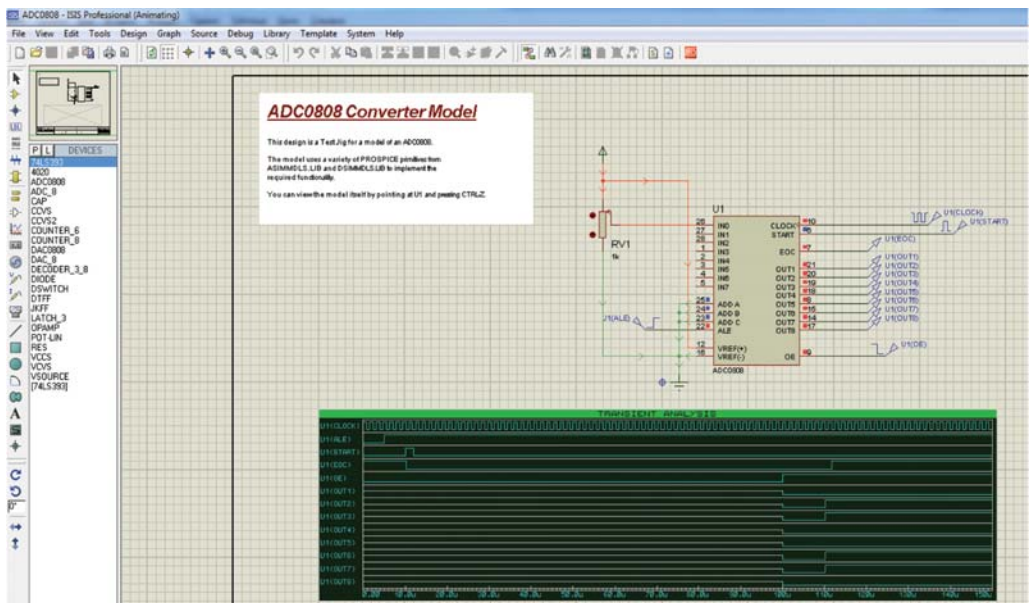


Рис. 2 — Косимуляція в Proteus

6. Proteus — цей пакет надає багатий набір функцій змішаного моделювання пристроїв від схемотехніки до програмного [17]. Основними перевагами пакета є: наявність вбудованих моделей мікроконтролерів з можливістю завантаження прошивок програм, інструментарій розширення бібліотеки функціонально-логічних моделей за рахунок Verilog/VHDL, різноманітність засобів візуалізації і налагодження проєктів, можливість задіяти не лише ресурси процесорних ядер, а й обчислювальні можливості відеокарт (тільки для вбудованих і функціонально-логічних моделей).

7. Symica IC design toolkit — пакет проєктування замовлених IC, що реалізовує функції змішаного моделювання схемотехніки (SPICE, HSPICE), функціонально-логічного (veriloga) рівнів [18]. В основі механізму змішаного моделювання Symica лежить відкрита бібліотека ADMS [19], що реалізовує автоматичну конвертацію моделей з мови veriloga на C у форматі, сумісному із зовнішніми інтерфейсами SPICE. Такий підхід забезпечує високу швидкість і малу похибку моделювання симуляторів для невеликих проєктів, але мало придатний до проєктів великого масштабу, де функціонально-логічний блок містить тисячі і більше вузлів.

8. Cadence AMS — компонент однієї з найбільших САПР розробки електронних пристроїв [20]. Залежно від вибраної конфігурації, підтримує змішане моделювання на основі: Verilog — AMS, VHDL — AMS, veriloga, VHDL-spectre. Таким чином, розробнику надається свобода вибору методу косимуляції, найбільш відповідного масштабу його проєкту. Так само підтримується використання графічних прискорювачів для прискорення розрахунків рівнів схемотехніки і функціонально-логічного.

9. Questa ADMS — компонент системи проєктування електронних пристроїв Mentor Graphics [21]. Функціональність цього рішення аналогічна Cadence AMS, за винятком внутрішніх форматів даних.

Класифікація пакетів за способом косимуляції. Найбільш суттєвий вплив на можливість косимуляції в розглянутих пакетах має механізм, через який взаємодіють аналогова та цифрова складові пакета. Загалом, такі інтерфейси поділяють на два типи:

- склеєна косимуляція;
- роздільна косимуляція.

При склеєній косимуляції цифровий та аналоговий симулятори є складовими одного процесу та використовують єдиний адресний простір. Такий підхід є найшвидшим, але має недоліки, що будуть викладені нижче.

Роздільна косимуляція передбачає існування двох або більше симуляторів, які обмінюються проміжними даними моделювання під час роботи. Така схема косимуляції дає більше свободи з вибору пакетів моделювання, але відрізняється високою складністю реалізації надійного протоколу обміну даними та низькою швидкодією (особливо для невеликих розмірностей моделей). До категорій роздільних косимуляторів серед розглянутих пакетів належить лише HSIPlus. Тому можна обмежитися характеристиками лише цього випадку реалізації роздільної косимуляції і приділити більше уваги її особливостям.

PLI-2.0 — інтерфейс функціонально-логічних симуляторів, призначений для завдань верифікації, візуалізації та підключення зовнішніх модулів (рис. 3). Інтерфейс керується планувальником завдань функціонально-логічного симулятора і має досить обмежений інструментарій для створення двонаправлених інтерфейсів із зовнішніми симуляторами. Є два основних підходи до побудови косимуляції через PLI-2.0:

- обмежити час схемотехнічної симуляції деякою фіксованою або спрогнозованою величиною та запланувати подію зчитування даних симулятором;
- реалізувати в інтерфейсі PLI-2.0 власний планувальник подій для обох симуляторів.

Перший підхід є простішим у використанні, але може призвести до втрат даних із схемотехнічного симулятора та складностей з синхронізацією. Другий підхід є складнішим, але значно розширює живучість такого рішення у великих проєктах завдяки можливості використання багатьох потоків та проведення додаткових видів аналізу (наприклад пошуку інтерфейсів «перевантажених» змінами сигналів, що можуть стати «слабким» місцем системи).

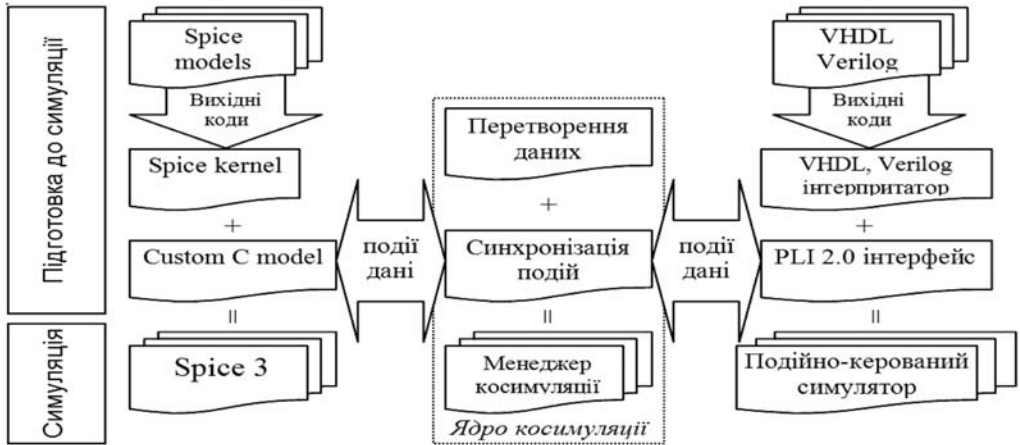


Рис. 3 – Схема косимуляції PLI 2.0

X-Spice — одна з гілок розвитку Spice 3. На відміну від базової версії, цей симулятор додатково містить (рис. 4):

- подієво-керований симулятор;
- інтерфейс підключення зовнішніх C функцій (code model device routines);
- модуль обробки вузлів користувача.

Подієво-керований симулятор реалізує лише деякі функції симулятора VHDL (так званий VHDL executable набір інструкцій), але за умови попередньої конвертації функціонально-логічної моделі стає можливим використання багатьох мов функціонально-логічного рівня. Інтерфейс між аналоговими і цифровими блоками реалізується через вузли користувача, які є комбінацією структури даних користувача і функції обробки даних з цієї структури. Операції цифро-аналогового та аналогово-цифрового перетворення є вбудованими в пакет, тому достатньо ініціювати значення параметрів такого вузла для його подальшого використання. Крім перетворення типів даних, вузли користувача можуть використовуватися для фільтрації та інших математичних перетворень сигналу, але це вже не має відношення до косимуляції, хоч і є досить впливовим розширенням функціональності пакета.

Головними перевагами X-Spice є висока швидкодія та надійність синхронізації цифрової та аналогових складових. До недоліків слід віднести обмеженість розмірності цифрової моделі спільною пам'яттю зі схмотехнічною складовою проекту, а також підключення зовнішніх модулів мовою C передбачає взаємодію лише зі схмотехнічним способом моделювання (багато збиткових викликів, відсутність контролю над подіями симуляції).

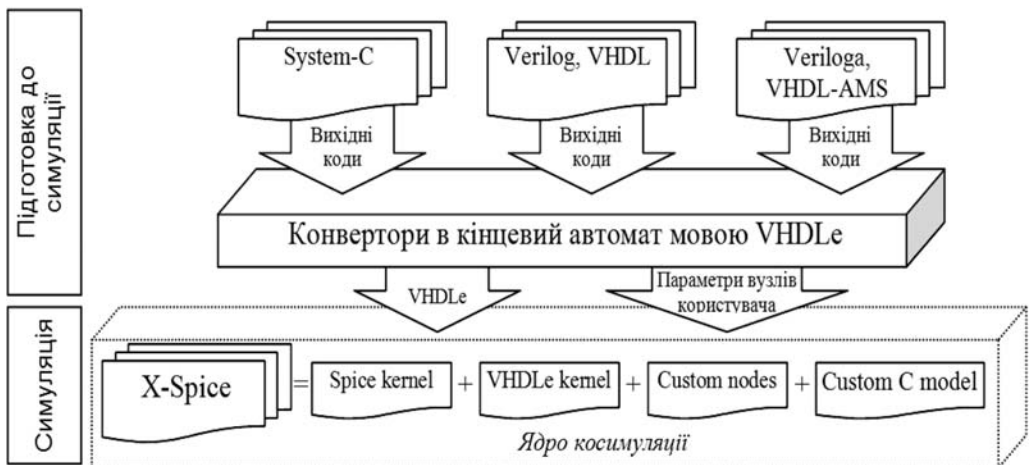


Рис. 4 – Схема косимуляції X-spice

ADMS — відкрита безкоштовна бібліотека, яка створюється прихильниками SPICE та Verilog з некомерційних причин (рис. 5). Ідея бібліотеки полягає у використанні C інтерфейсу симулятора SPICE 3, через який можливо підключити подієво-керований симулятор. Подієво-керований симулятор в ADMS створюється шляхом конвертації мови Veriloga у мову C. Параметри перетворень сигналів є частиною C моделі та кодуються в коментарях опису моделей. На відміну від подієво-керованого симулятора X-Spice, функціонально-логічні моделі користувача обробляються тим самим розрахунковим модулем, що і схемо-технічні. Тому зі зростанням розмірності моделей зростає щільність викликів розрахунків, наслідком чого є спад швидкодії.

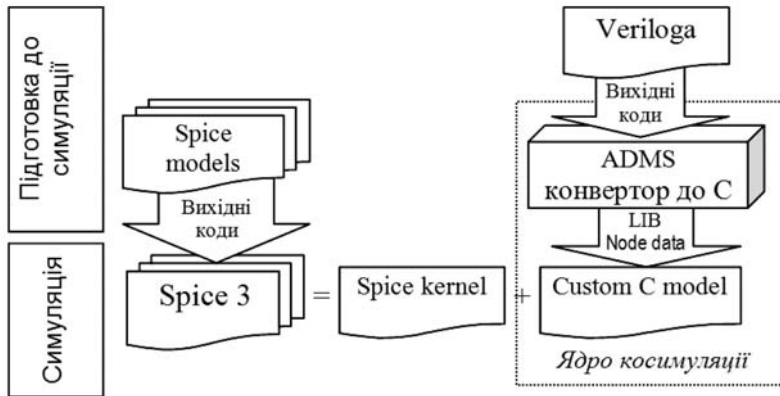


Рис. 5 — Схема косимуляції ADMS

Класифікація пакетів за мовами опису моделей. Оскільки самі пакети косимуляції відповідають лише за етап моделювання, а пакети проектування електронних пристроїв складаються з багатьох модулів, є дуже важливою можливістю об'єднання цих пакетів в одне середовище. Одним із основних засобів створення єдиного середовища є стандартизація мов опису моделей, якими оперує пакет. Більша кількість підтримуваних мов розширює перелік компонентів систем, з якими модуль косимуляції може співпрацювати. Тому більшість розглянутих пакетів включає до свого складу крос-компілятори, які перетворюють описи, зручні користувачу, в описи, зручні середовищу, і навпаки. Цікавим є той факт, що саме «студентські» (за популярністю серед студентів, а не за функціональністю) пакети змішаного моделювання (DOLPHIN, Proteus), містять найбільшу кількість крос-компіляторів.

Класифікація пакетів за розмірами систем. Розміри модульованих систем залежать від декількох чинників:

- алгоритму схемотехнічного моделювання;
- рівня (за складністю) використовуваних схемотехнічних моделей;
- кількості необхідних видів аналізу та впливових умов функціонування (час аналізу, частоти, рівні сигналів і т.п.);
- рівня опису функціонально-логічних моделей;
- способу косимуляції (часові затрати на перетворення, кількість зв'язків, ступінь мінімізації взаємних викликів симуляторів);
- рівнів абстракції функціонально-логічних моделей (вентилів, регістрів, шин, алгоритмічний і т.п.);
- мови і швидкодії функціонально-логічного симулятора (Verilog, VHDL, Veriloga, VHDL-AMS, System C, режим інтерпретації або часткової компіляції моделі);
- використання вбудованих моделей складних пристроїв (мікро-контролерів, табличних моделей, моделей ІС від виробників і т.п.);
- вимоги до швидкості та похибки моделювання.

Така різноманітність впливових факторів суттєво ускладнює оцінку реальних масштабів проекту, поза межами конкретного завдання. Тому для оцінки розмірності завдань визначними виступають показники окремих компонентів системи:

- обмеження, які визначають розмірність завдань схемотехнічного моделювання;

- спосіб формування моделей функціонально-логічного рівня (компіляція, інтерпретація);
- наявність вбудованих у пакет моделей контролерів та фірмових IC;
- підтримка окремих модулів моделювання складових на FPGA.

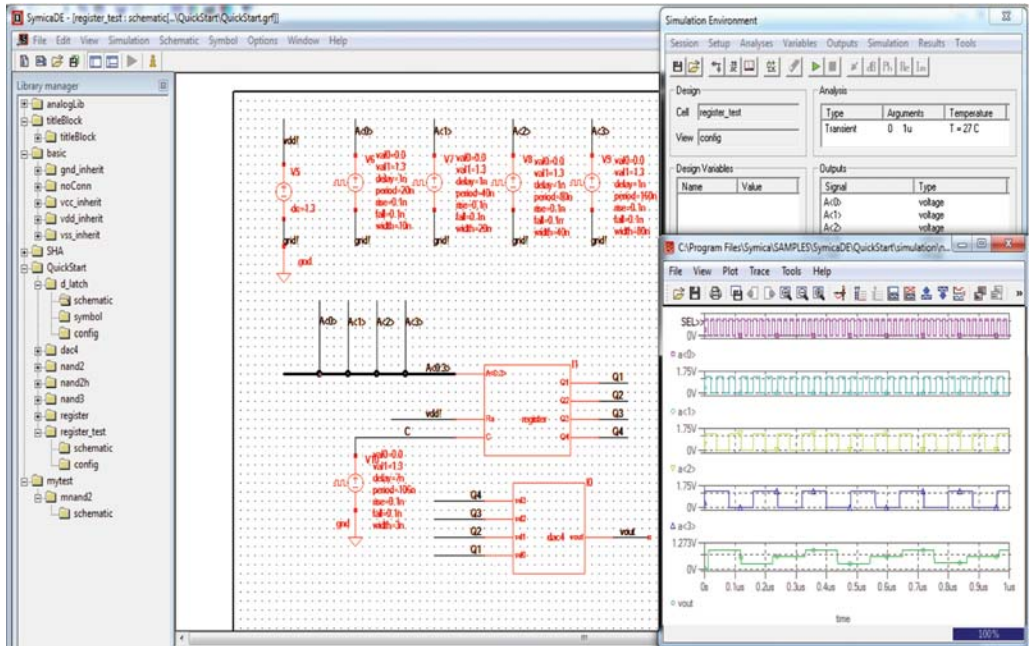


Рис. 6 — Косимуляція Symica IC design toolkit

Класифікація пакетів за середовищем функціонування. Різноманітність завдань та користувачів створює дуже складні умови до позиціонування пакетів на сучасному ринку САПР. З одного боку, промислові вимоги передбачають уніфіковане середовище та стандартизовані формати даних, зручні для проектування складних систем. З іншого боку, існує досить велика кількість розробників систем меншої розмірності, які потребують швидких, доступних за ціною та простих у засвоєнні пакетів. Крім того, кожен виробник зацікавлений у розповсюдженні саме своєї САПР, тому, окрім стандартизованих форматів, переважно користується власними. Суттєвий вплив на позиціонування надає навіть вибір операційної системи, оскільки розробники не використовують жодну САПР поза інструментарієм, який уже є частиною їхнього робочого середовища. Треба зазначити, що кількість Unix/Linux професійних САПР, які використовуються комерційно, перевищує кількість відповідних продуктів Windows та Mac OS. Менша конкуренція робить середовища Windows та Mac OS більш привабливими для виробників, які ще не є достатньо відомими серед промисловців (табл. 1).

На сьогодні існує досить багато засобів багатоплатформеного програмування, але кожна ОС вимагає окремого супроводження. В таких умовах, більш привабливою виглядає клієнт-серверна архітектура, де розрахункова та інформаційна складові САПР зберігаються на окремому сервері, а користувач отримує доступ через фірмовий або сторонній інтерфейс із зручного йому середовища. Головною перевагою фірмових клієнтів є відсутність потреби врахування особливостей функціонування серверної ОС. На жаль, серед розглянутих пакетів немає прикладів таких рішень, за винятком Cadence SPB, який є скоріше доповненням до серверної Cadence, ніж клієнтом до неї. Таким чином, середовище роботи САПР у розглянутих пакетах стає обов'язковим середовищем роботи користувача.

Вибір САПР, вартість якої безпосередньо впливає на вартість розробки, набагато легше зробити, коли є можливість її випробувати. Тому важливою перевагою слід вважати наявність доступу до демонстраційної версії продукту, яка має бути врахована в аналізі якостей пакетів.

Таблиця 1 — Зведений порівняльний аналіз розглянутих пакетів

Пакет	Ядро косимуляції	Мови схематехнічного опису об'єктів	Мови функціонально-логічного опису об'єктів	Розмірність задач (схематехнічних, функціональних, контролерів, FPGA)	ОС, доступність для ознайомлення
Electronic workbench 7	X-spice	SPICE	VHDL, Verilog	<1000,<1000, RISC, нема	Windows, відсутня в продажу.
HSIMplu	PLI 2.0	SPICE, HSPICE	Verilog, Veriloga, VHDL	<10000, <10000000, нема, нема	Linux/Unix, нема власного GUI
ACCEL EDA	HSPICE	HSPICE	Verilog, Veriloga, VHDL	<10000,<10000, нема, нема	Windows, Linux/Unix, є обмежена безкоштовна версія
DOLPHIN Smash Vision	X-spice, кросс-компілятори	SPICE	Verilog, Veriloga, VHDL, VHDL AMS, System C, C	<1000,<1000, нема, нема	Windows, Linux/Unix, є студентська версія
X-Spice ICup	X-spice	X-spice	Vhdl executable	<1000,<1000, нема, нема	Windows, Linux/Unix, є обмежена безкоштовна версія
Proteus	X-spice	SPICE, HSPICE	VHDL, Verilog	<1000,<10000, RISC, нема	Windows, є обмежена безкоштовна версія
Symica IC design toolkit	Spice+ADMS (кросс-компілятори)	SPICE, SPECTRE	Veriloga	<1000,<10000, нема, нема	Windows, в демо версії косимуляції нема
Cadence AMS	VHDL-AMS, veriloga, VHDL-spectre	SPICE, HSPICE, SPECTRE	Verilog, Veriloga, VHDL, VHDL AMS, Verilog-AMS, System C	<10000,<1000000, RISC, більшість вживаних	Linux/Unix, лише за придбанням
Questa ADMS	VHDL-AMS, veriloga, VHDL-spice	SPICE, HSPICE, ELDO	Verilog, Veriloga, VHDL, HDL AMS, Verilog-AMS, ystem C	<10000,<1000000, RISC, більшість вживаних	Linux/Unix, лише за придбанням

Висновки. Для розширення функціональності вітчизняного схематехнічного САПР, з огляду виконаного аналізу, зроблено висновок:

- Для забезпечення існуючого пакета моделювання засобами використання в системах зі змішаним моделюванням до пакета має бути додано зовнішній інтерфейс керування процесом моделювання та зчитування і запису даних. Такий інтерфейс може бути реалізовано декількома способами:
 - за допомогою динамічно завантажуваних модулів, які співпрацюють за заздалегідь визначеним протоколом, що зручно при використанні власного середовища;
 - шляхом вбудови інтерфейсу, подібного до IPC (інтерфейс обміну даними між потоками в рамках однієї ОС), сумісного з X-Spice;
 - шляхом вбудови інтерфейсу VPI.

2. Взаємодія з сучасними функціонально-логічними симуляторами за стандартизованими інтерфейсами дає змогу задіяти максимум їх внутрішніх можливостей, тому використання сучасної версії PLI 2.0 — VPI є водночас, ефективним і перспективним рішенням.
3. З точки зору спрощення засвоєння пакета та зниження ризику нелегального розповсюдження (разом із модулями від інших розробників) в сучасних умовах найбільш привабливим виглядає створення веб-інтерфейсів до компонентів системи.
4. Розробка модуля керування косимуляцією за методами синхронізації, традиційно використовуваними в локальних системах, має бути замінена на використання методів, більш прийнятних для розподілених систем. Це викликано стрімким зростанням складності окремих модулів САПР, притаманним сучасним проектам.

Проведен анализ возможностей современных средств смешанного моделирования в пределах взаимодействия схемотехнического и функционально-логического уровней абстракции. В результате анализа определены способы модернизации отечественного схемотехнического симулятора, которые обеспечивают возможность его использования совместно с существующими средствами смешанного моделирования и функционально-логическими САПР.

Ключевые слова: моделирование, интегрированная среда разработки, косимуляция, интегральная схема, система на кристалле, встроенные системы, AMS.

The modern improvements of electronic devices CAD/CAM software are often based on mixed signal and mixed model techniques usage. Today word «cosimulation» means different depending of usage conditions. This article concerns only mixed schematic-logical cosimulation for modern electronic design environments.

The result of analysis is the methods and tools selection for an Ukrainian CAD software. The problem of different CAD/CAM modules integration in unified system was solved on the architectural level and will be used for open Web based CAD/CAM electronic design environment development.

Key words: electronic design environment, EDA, cosimulation, integrated circuit, systems on a crystal, embedded systems, AMS.

Література

1. Laurence W., Pederson D. SPICE (Simulation Program with Integrated Circuit Emphasis). — EECS Department University of California, Berkeley, Technical Report No. UCB/ERL M382 April 1973.
2. Petrenko A. I., Young Yu. Windows-based CAD System for System/IC Designs. — Proc. of Intern Conference on Mixed Design of Integrated Circuits and Systems (MIXEDES'99), 17–19 June 1999, Kharkov, Poland pp. 539–541.
3. Петренко А. И. Основы автоматизации проектирования / А. И. Петренко — К. : Техника 1982. — 295 с.
4. Petrenko A. ALLTED — a computer-aided engineering system for electronic circuit design / A. Petrenko, V. Ladogubets, V. Tchlalov, Z. Pudlowki. — Melbourne: UICEE, 1997. — 205 p.
5. Anatolii Petrenko. Using Optimization Procedures to Calculate Parameters of MEMS Macro-models / A. Petrenko, V. Ladogubets, O. Beznosyk, O. Finogenov // The Experience of Designing and Application of CAD Systems in Microelectronics : 10-th Anniversary Intern. Conf. «CADSM'2009», 24–28 February 2009, Polyana-Svalyava (Zakarpattya), Ukraine : proc. — Lviv, 2009. — P. 511–514.
6. Guo Qingbo, Co-Simulation of Pipeline ADC Using Simulink and PSpice, IEEE Int. conf. Technology and Automation(ICICTA), volume 2, March 2011, 487 p.
7. Gerin P., Scalable and Flexible Cosimulation of SoC Designs with Heterogeneous Multi-Processor Target Architectures/Gerin P., Sungjoo Yoo, Gabriela Nicolescu, Ahmed A. — Proc. of Asia South Pacific Design Automation Conf. — N: 2001.
8. Weiwei Chen, Xu Han, Rainer Doemer, «Multicore Simulation of Transaction-Level Models Using the SoC Environment,» IEEE Design and Test of Computers, vol. 28, no. 3, pp. 20–31, May/June 2011, doi:10.1109/MDT.2011.43

9. *Balarin F.* Metropolis: an integrated electronic system design environment / F. Balarin, Y. Watanabe, H. Hsieh, L. Lavagno, C. Passerone, A. Sangiovanni-Vincentelli. — IEEE Comp society, Volume: 36 Issue:4, April 2003.
10. *Martinez J. A.* System Level Simulation of Mixed-signal Multi-domain Microsystems with Piecewise Linear Behavioral Models / J. A. Martinez, T. P. Kurzweg, S. P. Levitan, A. J. Davare, M. Kahrs. — Tech. proc. of the Nanotech conf. 2003 Vol. 1, 288-291 pp.
11. *Walter F.* Modeling and Simulation of Noise in Closed-Loop All-Digital PLLs using Verilog-A / F. Walter, P. Rakesh, B. William. — Proceedings from 2007 IEEE, International Behavioral Modeling and Simulation Conference, pp 67–72.
12. Опис Electronic workbench. — Режим доступу: <http://www.ni.com/multisim/whatis.htm>.
13. Опис HSIPlus. — Режим доступу: <http://www.synopsys.com/Tools/Verification/AMSVerification/CircuitSimulation/HSIM/Pages/default.aspx>
14. Опис ACCEL EDA. — Режим доступу: <http://products.live.altium.com/#r10/explore/bd-MixedSignalSimulation>
15. Опис DOLPHIN Smash Vision. — Режим доступу: http://www.dolphin.fr/medal/smash/smash_overview.php
16. Опис X-Spice ICup. — Режим доступу: http://users.ece.gatech.edu/~mrichard/Xspice/Xspice_Users_Manual.pdf
17. Опис Proteus. — Режим доступу: <http://www.labcenter.com/index.cfm>
18. Опис Symica IC design toolkit. — Режим доступу: <http://symica.com>
19. Опис ADMS. — Режим доступу: <http://adms.noovela.com>
20. Опис Cadence AMS. — Режим доступу: http://www.cadence.com/products/pcb/ams_simulator/pages/default.aspx
21. Опис Questa ADMS. — Режим доступу: http://www.mentor.com/products/fv/advance_ms.html