

Кирюша Б.А., Горбик О.В.

ННК “Інститут прикладного системного аналізу” НТУУ “КПІ”, Київ, Україна

Змішане моделювання за допомогою пакетів Matlab, Verilog та NetAllted.

В циклі розробки систем на кристалі та систем змішаної фізичної природи обов’язково використовуються моделі наступних рівнів абстракції [1]:

- моделі рівня специфікації пристрою (reference) та поведінкового рівня (golden models);
- моделі функціонально-логічного рівня;
- моделі схемотехнічного рівня.

Для пошуку помилок функціонально-логічного та схемотехнічного рівнів традиційно використовується інструментарій змішаного моделювання. Універсальний спосіб узгодження двох різних за своєю суттю алгоритмів створити неможливо, тому необхідно передбачити механізм визначення похибки інтерфейсу змішаного моделювання для заданого проекту. Приклад такого механізму може бути реалізовано на базі інструментарію високорівневого опису пристроїв MATLAB SIMULINK [2], середовища функціонально-логічного моделювання Xilinx ISE [2] та пакету схемотехнічного рівня – NetAllted [3]. Інтерфейс взаємодії між MATLAB та ISim будується на пропрієтарних засобах розширення мов MATLAB та Verilog. Взаємодія між Verilog та Allted може бути реалізована засобами розширення мови Verilog VPI [2]. На рис.1 зображено діаграму SIMULINK для тестового прикладу оцінки різниці між еквівалентними за описом моделями суматору для MATLAB та Verilog. Зв’язок з схемотехнічним описом фрагменту моделі для Xilinx Modelsim наведено на рис. 2.

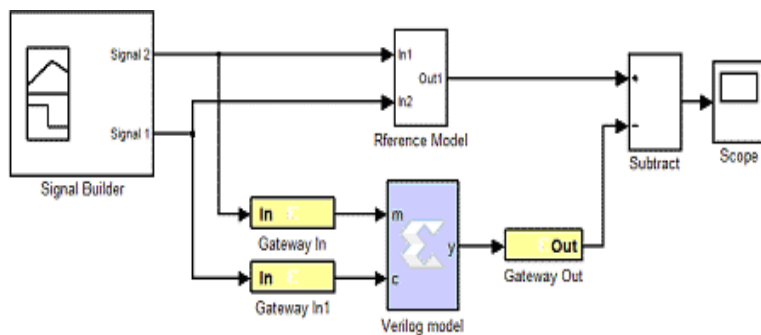


Рис. 1

Modelsim: Verilog model
<pre> always@(posedge clk) begin /* Verilog модель */ x=x+1; /* Модель користувача схемотехнічного рівня */ y=\$AnalogInOut(m,c,x); end </pre>

Рис. 2

Останні версії середовища Xilinx містять лише ISim, з якого виключено підтримку Verilog PLI/VPI. Обмеження користувача щодо використання зовнішніх пакетів можна подолати лише частково: генерацією проміжної Verilog моделі, яка може бути використана в програмах моделювання з підтримкою Verilog PLI/VPI (VerilogModel(m,c,x) замість \$AnalogInOut(m,c,x)). Таким чином, сучасна версія пакету від Xilinx не дає змогу одночасно використовувати моделі трьох рівнів абстракції. Послідовне використання моделей лише частково компенсує таке обмеження. За результатами тестування поведінкових моделей, описаних мовами Verilog та Matlab, суттєвої різниці не виявлено. Дослідження впливу введення схемотехнічного фрагменту моделі може бути проаналізовано лише після вирішення питання про заміну Isim на Modelsim, не виходячи за межі генератору систем на кристалі.

Література. 1. Martinez J.A., System Level Simulation of Mixed-signal Multi-domain Microsystems with Piecewise Linear Behavioral Models/J.A. Martinez, T.P. Kurzweg, S.P. Levitan, A.J. Davare, M. Kahrs.-Tech. proc. of the Nanotech conf. 2003 Vol. 1. - 288-291 pp. 2. Moreo A.T., Experiences on developing computer vision hardware algorithms using Xilinx system generator.- Microprocessors and Microsystems, Volume 29, P. N. Lorente, F. S. Valles, J. S. Muro, C. F. Andres, 2005. - 114 pp. 3. Petrenko A., ALLTED – a computer-aided engineering system for electronic circuit design/Petrenko A., Ladogubets V., Tchlalov V., -Melbourne: UICEE, 1997. – 205 pp.